

(19)日本国特許庁（J P）

(12) 公 開 特 許 公 報（A）

(11)特許出願公開番号

特開平8－204169

(43)公開日 平成8年(1996)8月9日

(51)Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/74 21/332			H 0 1 L 29/ 74 3 0 1	A
審査請求 未請求 請求項の数8 O L （全 7 頁）				

(21)出願番号	特願平7－6934	(71)出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目6番地
(22)出願日	平成7年(1995)1月20日	(72)発明者	松浦 伸悌 茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内
		(72)発明者	菅原 良孝 茨城県日立市大みか町七丁目1番1号 株式会社日立製作所日立研究所内
		(72)発明者	小野瀬 秀勝 茨城県日立市幸町三丁目1番1号 株式会社日立製作所日立工場内
		(74)代理人	弁理士 小川 勝男

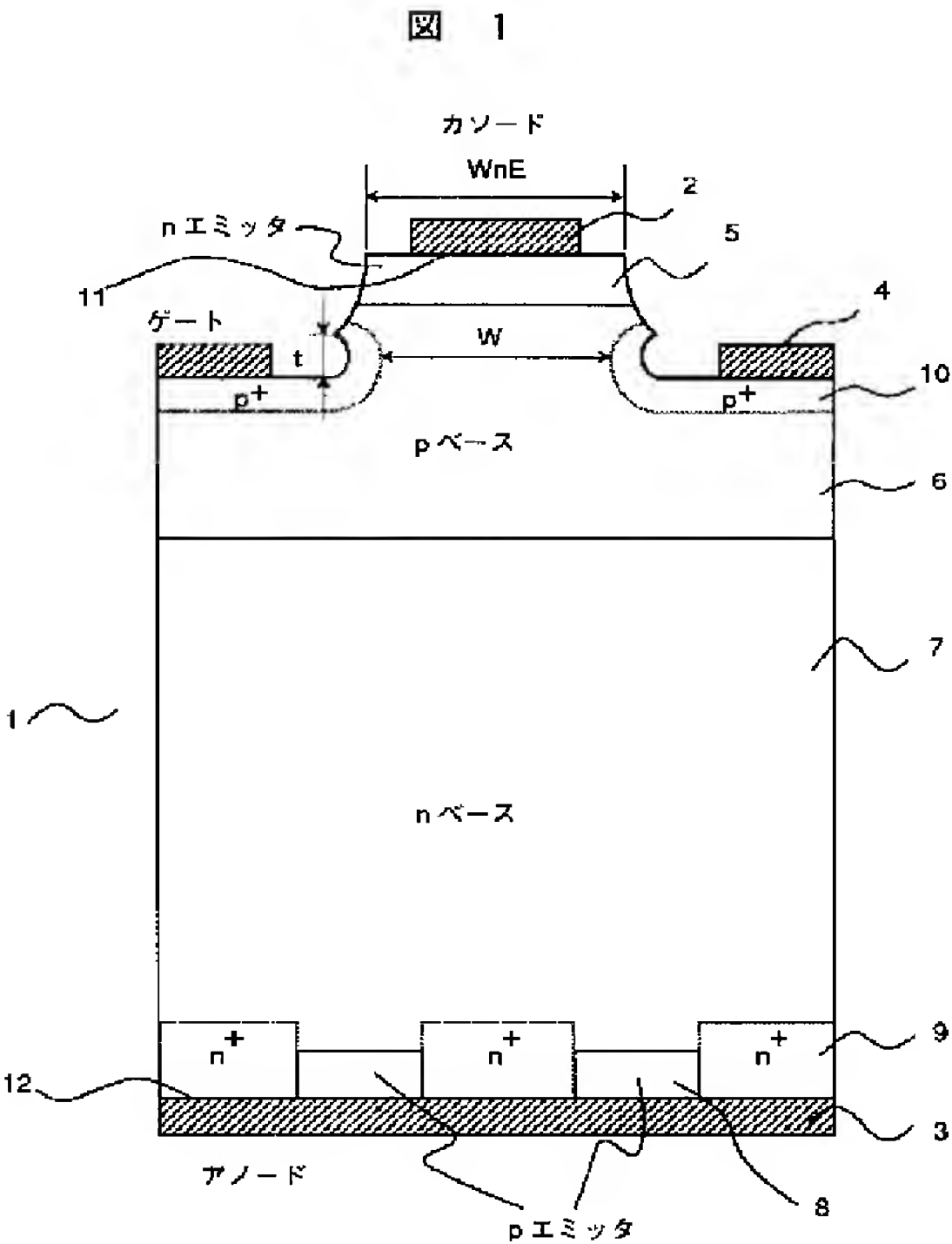
(54)【発明の名称】 GTOサイリスタ及びその製造方法

(57)【要約】

【目的】アノード－カソード間耐圧の劣化を生じさせずに、高い電流遮断能力を持つGTOを提供することにある。

【構成】nエミッタ層からpベース層にかけて二段の溝が形成され、二段目の溝の底部に平行な方向にくぼみ（凹部）が形成され、二段目の溝に沿ってpベース層の表面に高濃度p⁺層が形成されている。

【効果】本発明によると、カソード－ゲート間耐圧を劣化させずに遮断能力を向上させる事ができた。従って、高周波動作が可能となり、ターンオフ特性が改善され最大可制御電流が増大する効果が得られる。



【特許請求の範囲】

【請求項1】 pエミッタ層、 nベース層、 pベース層、 nエミッタ層の4層を有するGTOサイリスタにおいて、 nエミッタ層表面からpベース層表面にかけて二段の溝が形成され、二段目の溝の底部にはそれに平行な方向に凹部が形成され、該二段目の溝に沿ってpベース層の表面に高濃度p+層が形成されたことを特徴とするGTOサイリスタ。

【請求項2】 請求項1において、凹部が尖った鋭角に形成されていることを特徴とするGTOサイリスタ。

【請求項3】 請求項1において、二段目の溝の深さが10 μ m以下に形成されていることを特徴とするGTOサイリスタ。

【請求項4】 請求項1において、二段目の溝に沿ってpベース層の表面に形成された高濃度p+層の間隔がnエミッタ層表面の幅よりも狭く形成されていることを特徴とするGTOサイリスタ。

【請求項5】 以下の工程からなることを特徴とするGTOサイリスタの製造方法。

1. pエミッタ層、 nベース層、 pベース層、 nエミッタ層の4層を有するGTOサイリスタを準備する第1の工程。

2. 前記GTOサイリスタのエミッタ層表面からpベース層表面にかけて二段の溝を形成し、二段目の溝の底部にはそれに平行な方向に凹部を形成し、該二段目の溝に沿ってpベース層の表面に高濃度p+層を形成する第2の工程。

【請求項6】 請求項5において、上記凹部を尖った鋭角に形成することを特徴とするGTOサイリスタの製造方法。

【請求項7】 請求項5において、上記二段目の溝の深さが10 μ m以下に形成することを特徴とするGTOサイリスタの製造方法。

【請求項8】 請求項5において、上記二段目の溝に沿ってpベース層の表面に形成された高濃度p+層の間隔をnエミッタ層表面の幅よりも狭く形成することを特徴とするGTOサイリスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、ゲートターンオフサイリスタ（以下GTOと略称する）及びその製造方法に関する。

【0002】

【従来の技術】 一般にGTOは、pエミッタ、nベース、pベース、nエミッタからなる4層構造に作られ、通電状態においてpベースに設けられたゲート電極からpベース層内のキャリアを引き抜くことによってターンオフ（自己消弧）を可能としたスイッチング素子である。

【0003】 図2は、従来のアノード短絡型GTOのセ

グメント1本についての断面構造を示す。この様に従来のゲート構造は、ゲートエッチングによってpベース層6が露出したセグメントとして形成されている。通電状態において、電流はpエミッタ層8からnベース層7、pベース層6を通りnエミッタ層5へと流れる。このアノード電流の遮断において重要な因子は、nエミッタ層5に向かって流れている電流をpベース層6を介してゲート電極4に転流させる能力、すなわち、nエミッタ層5直下のpベース層6の横方向抵抗（ゲートインピーダンス）ZGである。言い換えれば、ゲートエッチングにより露出したpベース層6のシート抵抗の大きさが遮断能力を左右することになる。

【0004】 図2に示す従来のゲート構造では、ゲート電流の引抜きはゲート電極4のnエミッタ層5に最も近い部分のnエミッタ層5を取り囲む線状の領域で行われていると考えてもよい。このような構造のもとでは、ゲートエッチング深さのばらつきは、複数のnエミッタ間でのターンオフ特性にばらつきを生じさせ、素子としての遮断能力の低下をまねき、遮断性能の向上が困難であった。

【0005】 そこでこの問題を解決する一方法として、図3に示すような二段ゲート構造を有するGTOが特開平1-225360号、特開平3-191576号にて提案されている。

【0006】

【発明が解決しようとする課題】 図3に示す二段ゲート構造GTOは、図2に示したGTOより高い遮断能力を有するが、更に高い遮断能力を得るためには高濃度p+層をnエミッタ直下まで伸ばす必要がある。高濃度p+層をnエミッタ直下まで伸ばすには熱拡散を用いるため、nエミッタ層とpベース層の接合と平行な方向だけでなく、nエミッタ層とpベース層の接合に向かっても高濃度p+層が伸びてしまう。するとカソードゲート間耐圧が劣化してしまうために、二段目の溝に沿ってpベース層の表面にできた高濃度p+層の間隔をあまり狭くはできなかった。それゆえ遮断性能の向上には限界があった。

【0007】 本発明の目的は、従来の二段ゲート構造の場合以上に高い遮断能力を持つとともに、ゲートカソード間耐圧の劣化を生じない製造容易なGTOを提供することにある。

【0008】

【課題を解決するための手段】 上記の目的を達成するために、本発明は、pエミッタ層、nベース層、pベース層、nエミッタ層の4層からなるGTOサイリスタにおいて、一表面カソード側のnエミッタ層からpベース層にかけて二段の溝を形成し、二段目の溝の底部にはそれに平行な方向にくぼみ（凹部）を形成し、二段目の溝に沿ってpベース層の表面に高濃度p+層を形成する。

【0009】 さらに二段目の溝に沿ってpベース層の

表面にできた高濃度p+層の間隔がnエミッタ層表面の幅よりも狭く形成するものとする。

【0010】

【作用】二段目の溝の底部に平行な方向にくぼみ(凹部)を形成したことで、従来の二段ゲート構造GTO以上に電流集中を起こすnエミッタ直下まで高濃度p+層を形成することができ、nエミッタ直下のpベース層の横方向抵抗(ゲートインピーダンス)ZGを大幅に下げることができるため、更に高い遮断能力を得ることができる。

【0011】また本発明のGTOは高濃度p+層をnエミッタ直下に伸ばそうとする場合、熱拡散による高濃度p+層の伸びを抑えて、エッチングによりnエミッタ直下のpベース層の間隔を狭くするためにnエミッタ層とpベース層の接合に向かっては高濃度p+層は近づくことはなく、カソードゲート間耐圧の劣化を生ずることがない。

【0012】

【実施例】以下、本発明を実施例として示した図面を用いて詳細に説明する。

【0013】(実施例1)図1は本発明第1の実施例を示すGTOの概略断面図である。同図において、1は一对の主表面11、12を有するシリコンからなる半導体基体で、主表面11、12間に一方の主表面11側からnエミッタ層5、pベース層6、nベース層7及びpエミッタ層8の連続した4層が配列されている。一方の主表面11は凹凸面となっており、その凸部に短冊上のnエミッタ層5が露出し、一方の主表面11の凹部にpベース層6が露出している。pエミッタ層8はnエミッタ層5を他方の主表面12に投影したときそれと重なるように他方の主表面12に隣接して選択的に形成され、他方の主表面12の他の部分に隣接してnベース層7より高不純物濃度のn+領域9が形成されている。2は一方の主表面11の凸部においてnエミッタ層5にオーミック接触したカソード電極、3は他方の主表面12においてpエミッタ層8及びn+領域9にオーミック接触したアノード電極、4は一方の主表面11の凹部においてpベース層にオーミック接触したゲート電極である。カソード電極2、アノード電極3及びゲート電極4は全てA1を真空蒸着法により堆積させて形成する。また、nエミッタ層5表面からpベース層6表面にかけては二段の溝が形成され、二段目の溝の底部にはそれに平行な方向にくぼみ(凹部)が形成され、二段目の溝に沿ってpベース層の表面に高濃度のp+層10が形成されている。

【0014】図4(a)~(f)は図1のGTOの製造工程の一例を示す。

【0015】(a)シリコンウエハに不純物を拡散し、pnpnの4層構造とする。ここでは以下カソード側に注目して説明をすることにする。nエミッタ層5の厚さは20μm、pベース層6の厚さは70μmであった。

【0016】(b)短冊状nエミッタを形成するため、酸化膜13をマスクとして用いフッ酸等の薬品によりエッチングを行いpベース層6を露出させる。ここでnエミッタ層5は突出した形状となり、nエミッタの幅(WnE)は200μmとする。その後更にカソード側全面を酸化膜13で覆う。

【0017】(c)酸化膜13をnエミッタ層5とpベース層6の接合より15μm程張り出すように形成し、この酸化膜13をマスクとして用い、深さtが10μm以下の等方性ドライエッチングを行うことにより、pベース層6に二段の溝を形成する。等方性ドライエッチングを行うことで二段目の溝の底部に平行な方向にもくぼみ(凹部)が形成された。

【0018】(d)このままこの酸化膜13をマスクとして用い、(c)で形成されたpベース層6の二段目の溝の表面からボロンのガス拡散により高濃度p+層10を形成する。二段目の溝に沿ってpベース層6の表面にできた高濃度p+層10の間隔Wがnエミッタ層5表面の幅(200μm)よりも狭く形成される。

【0019】(e)その後更にカソード側全面を酸化膜13で覆う。

【0020】(f)最後にカソード及びゲート電極をつける部分に窓開けをし、アルミニウムを蒸着してカソード電極2及びゲート電極4を形成する。

【0021】このようにして製造されたGTOは、従来の図3に示した二段ゲート構造を持つGTOに比べ、電流集中を起こすnエミッタ直下まで高濃度p+層10を形成することができるため更に高い遮断能力を得ることができる。

【0022】また従来の図3に示した二段ゲート構造を持つGTOでは高濃度p+層10をnエミッタ直下に伸ばそうとするとnエミッタ層5とpベース層6の接合と高濃度p+層10が近づいてしまいカソードゲート間耐圧の劣化が妨げられなかったが、本発明のGTOは高濃度p+層10をnエミッタ直下に伸ばそうとしてもnエミッタ層5とpベース層6の接合から高濃度p+層10が近づくことがなくカソードゲート間耐圧の劣化を生ずることがない。

【0023】なお、本実施例では、nエミッタ層の幅を狭くしないでも、そうしたのと同様な効果を持っている。従って、カソード電極の面積は減少しないので、電極接触抵抗の増大や平型パッケージに組み込んだときの加圧応力の増加による電極のつぶれが発生するという問題が起きない。

【0024】(実施例2)図5は本発明第2の実施例を示すGTOの概略断面図である。実施例1とは図1のカソード側に形成された二段目の溝とその溝に沿ってpベース層の表面に形成された高濃度p+層10の形状が相違している。

【0025】図8(a)~(f)は図5のGTOの製造工

5

程の一例を示す。ここでは特に(100)面のシリコンを用いた場合で説明する。

【0026】(a)、(b)は実施例1の図4の(a)、(b)と同様である。

【0027】(c)酸化膜13をnエミッタ層5とpベース層6の接合より15 μ m程張り出すように形成し、この酸化膜13をマスクとして用い、異方性エッチングを行うことにより、pベース層6に二段の溝を形成する。異方性エッチングを行うことで二段目の溝の底部に平行な方向に尖った鋭角なくぼみ(凹部)が形成される。

【0028】(d)このままこの酸化膜13をマスクとして用い、(c)で形成されたpベース層6の二段目の溝の表面からボロンのガス拡散により高濃度p+層10を形成する。二段目の溝に沿ってpベース層6の表面にできた高濃度p+層10の間隔Wが実施例1のGTOより更に狭く形成できる。

【0029】(e)、(f)は実施例1の図4の(e)、(f)と同様である。

【0030】このようにして製造されたGTOは、実施例1のGTOよりも二段目の溝に沿ってpベース層の表面にできた高濃度p+層10の間隔Wが更に狭く形成することができるため、更に高い遮断能力を得ることができる。

【0031】また本発明のGTOは実施例1と同様に高濃度p+層10をnエミッタ直下に伸ばそうとしてもnエミッタ層5とpベース層6の接合と高濃度p+層10が近づくことがなくカソードーゲート間耐圧の劣化を生ずることがない。ここでは(100)面のシリコンを用いた場合で説明したが、通常使用されている(111)面等のシリコンでも別方法で製造することにより同様の効果が得られる。

【0032】(実施例3)図6は本発明第3の実施例を示すGTOの概略断面図である。実施例1とは図1のカソード側に形成された二段目の溝に沿ってpベース層の表面に形成された高濃度のp+層10の形状が相違している。

【0033】図9(a)~(i)は図6のGTOの製造工程の一例を示す。

【0034】(a)、(b)、(c)は実施例1の図4の(a)、(b)、(c)と同様である。

【0035】(d)そのままカソード側全面を酸化膜13で覆う。(c)で残されていた酸化膜13部分が厚く、その他の部分が薄い酸化膜13となる。

【0036】(e)二段目の溝の底部のみ酸化膜13を残すようにマスクしておき、(d)で付けた厚さ分だけ酸化膜を除去する。二段目の溝の底部に平行な方向だけが酸化膜13の付いていない形状となる。

【0037】(f)このままこの酸化膜13をマスクとして用い、二段目の溝の底部に平行な方向からだけボロ

6

ンのガス拡散により高濃度p+層10を形成する。pベース層の表面にできた高濃度p+層10の間隔Wがnエミッタ層5表面の幅(200 μ m)よりも狭く形成された。

【0038】(g)二段目の溝の底部の酸化膜13を除去して、更にボロンのガス拡散により高濃度p+層10を形成する。

【0039】(h)その後更にカソード側全面を酸化膜13で覆う。

10 【0040】(i)最後にカソード及びゲート電極をつける部分に窓開けをし、アルミニウムを蒸着してカソード電極2及びゲート電極4を形成する。

【0041】このようにして製造されたGTOは、実施例1のGTOよりも二段目の溝に沿ってpベース層の表面にできた高濃度p+層10の間隔Wが更に狭く形成することができたため、更に高い遮断能力を得ることができた。

【0042】また本発明のGTOは実施例1と同様に高濃度p+層10をnエミッタ直下に伸ばそうとしてもnエミッタ層5とpベース層6の接合と高濃度p+層10がちかづくことがなくカソードーゲート間耐圧の劣化を生ずることがない。

【0043】(実施例4)図7は本発明第2の実施例を示すGTOの概略断面図である。実施例1とは図1のカソード側に形成された二段目の溝とその溝に沿ってpベース層の表面に形成された高濃度p+層10の形状がが相違している。

【0044】図10(a)~(f)は図7のGTOの製造工程の一例を示す。実施例2と同様(100)面のシリコンを用いた場合で説明する。

【0045】(a)は実施例1の図4の(a)と同様である。

【0046】(b)短冊状nエミッタを形成するため、酸化膜13をマスクとして用い異方性エッチングを行いpベース層6を露出させる。ここでnエミッタ層5は突出した形状となった。異方性エッチングを行うことで溝の底部にはそれに平行な方向に尖った鋭角なくぼみ(凹部)が形成された。その後更にカソード側全面を酸化膜13で覆う。

40 【0047】(c)酸化膜13をマスクとして用い、ボロンのガス拡散により高濃度p+層10を形成する。

【0048】(d)酸化膜13をマスクとして用いフッ酸等の薬品によりエッチングを行いpベース層6と高濃度p+層10を露出させる。

【0049】(e)その後更にカソード側全面を酸化膜13で覆う。

【0050】(f)最後にカソード及びゲート電極をつける部分に窓開けをし、アルミニウムを蒸着してカソード電極2及びゲート電極4を形成する。

50 【0051】このようにして製造されたGTOは、実施

7

例2のGTOと同様の高濃度p+層10を形成することができるため、更に高い遮断能力を得ることができる。

【0052】また本発明のGTOは実施例1と同様に高濃度p+層10をnエミッタ直下に伸ばそうとしてもnエミッタ層5とpベース層6の接合と高濃度p+層10がちかづくことがなくカソードゲート間耐圧の劣化を生ずることがない。ここでは(100)面のシリコンを用いた場合で説明したが、通常使用されている(111)面等のシリコンでも別方法で製造することにより同様の効果が得られる。

【 0 0 5 3 】

【発明の効果】以上詳述したように、本発明によればnエミッタ層とpベース層の接合と高濃度p+層を近づけずに高濃度p+層電流集中を起こすnエミッタ直下まで高不純物濃度p+層10を形成することができるので、カソードゲート間耐圧を劣化させずに遮断能力を向上させる事ができた。従って、高周波動作が可能となり、ターンオフ特性が改善され最大可制御電流が増大する効果が得られる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示すGTOの概略断面図である。

【図2】本発明の第1の実施例を説明するための従来G

8

TOの概略断面図である。

【図3】本発明の第1の実施例を説明するための従来GT0の概略断面図である。

【図4】本発明の第1の実施例を示すGTOの製造プロセスを示す図である。

【図5】本発明の第2の実施例を示すGTOの概略断面図である。

【図6】本発明の第3の実施例を示すGTOの概略断面図である。

10 【図7】本発明の第4の実施例を示すGTOの概略断面図である。

【図8】本発明の第2の実施例を示すGTOの製造プロセスを示す図である。

【図9】本発明の第3の実施例を示すGTOの製造プロセスを示す図である。

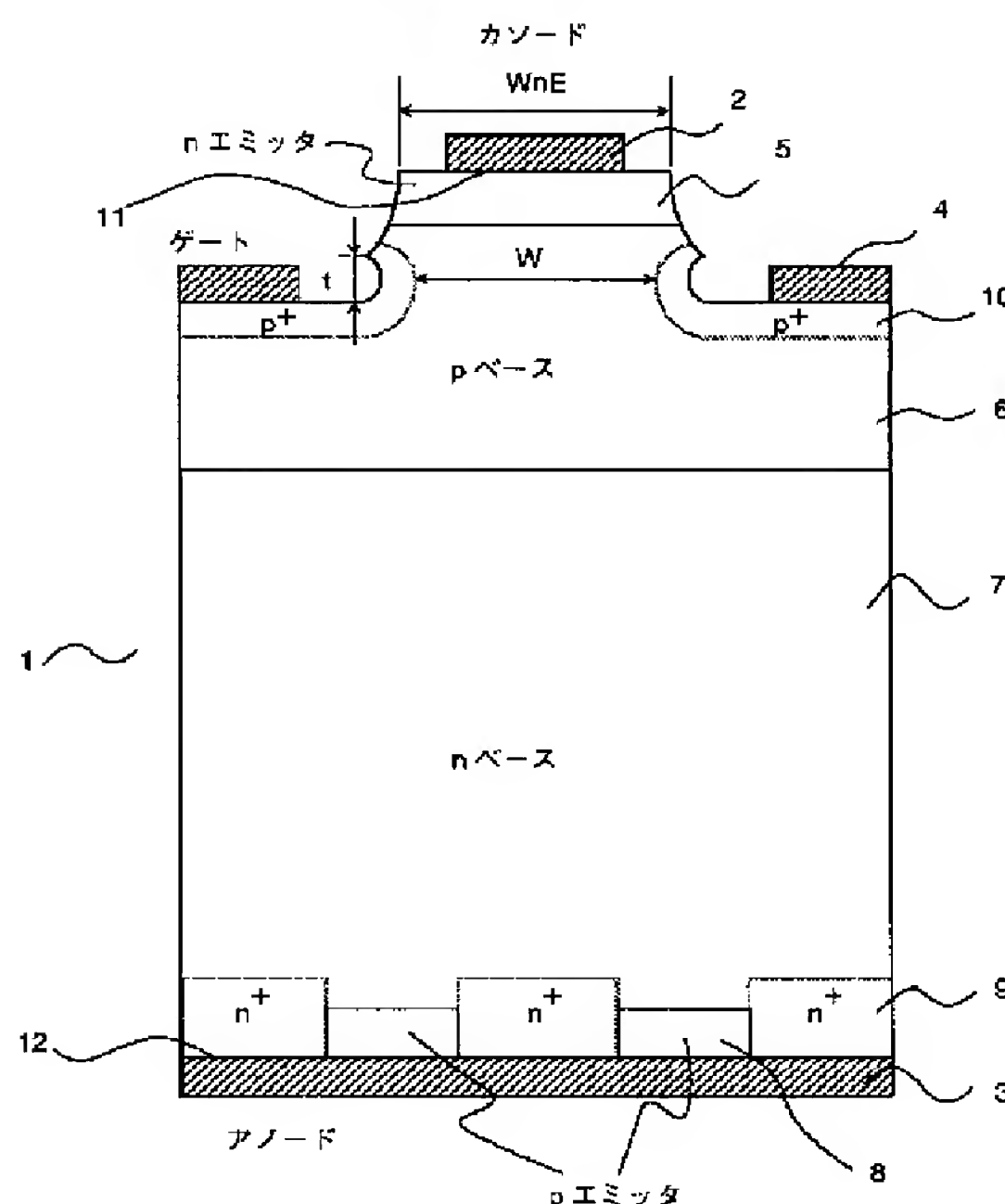
【図10】本発明の第4の実施例を示すGTOの製造プロセスを示す図である。

【符号の説明】

1…半導体基体、2…カソード電極、3…アノード電極、4…ゲート電極、5…nエミッタ層、6…pベース層、7…nベース層、8…pエミッタ層、9…n+領域、10…p+領域、13…酸化膜。

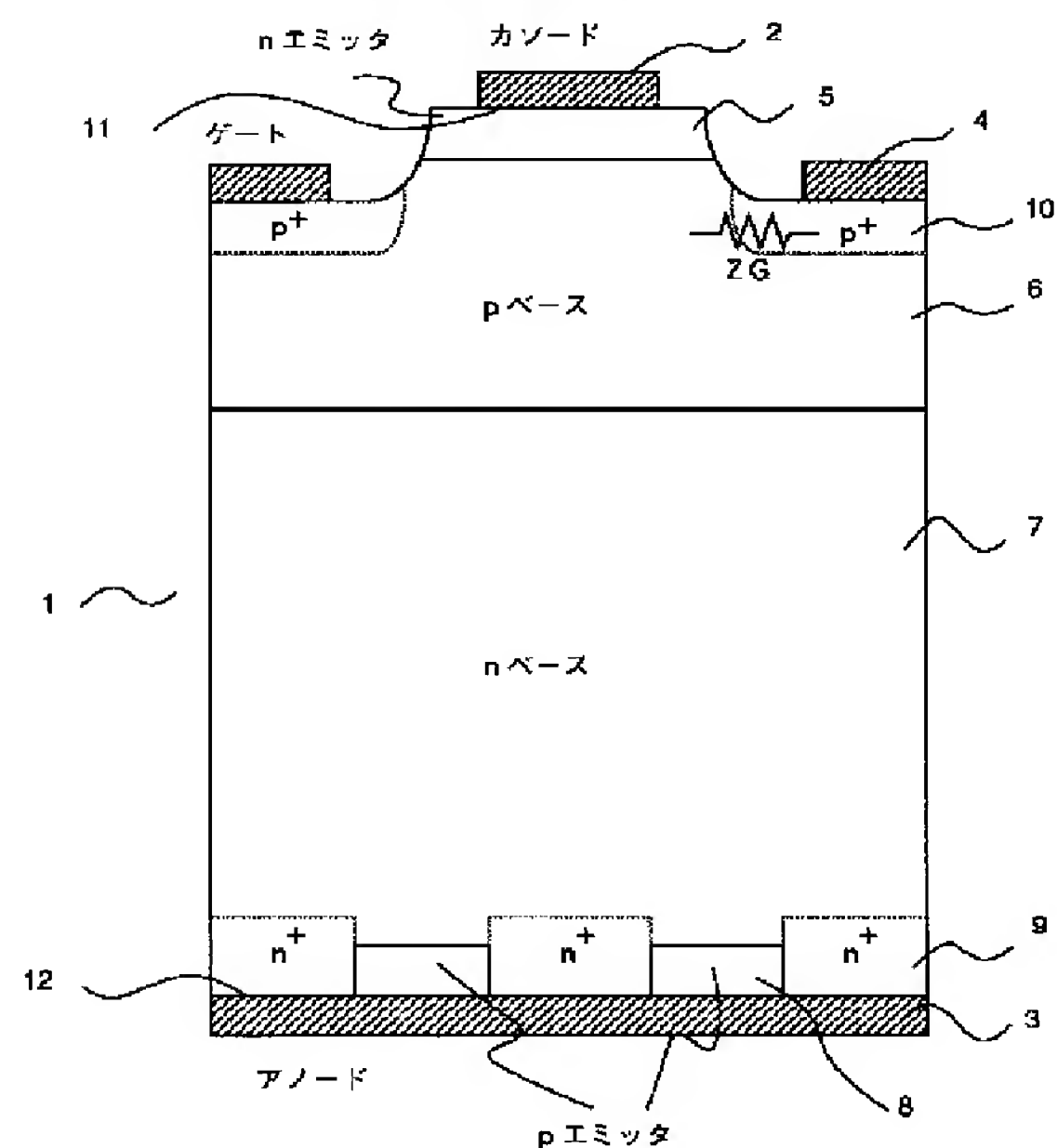
【図 1】

图 1



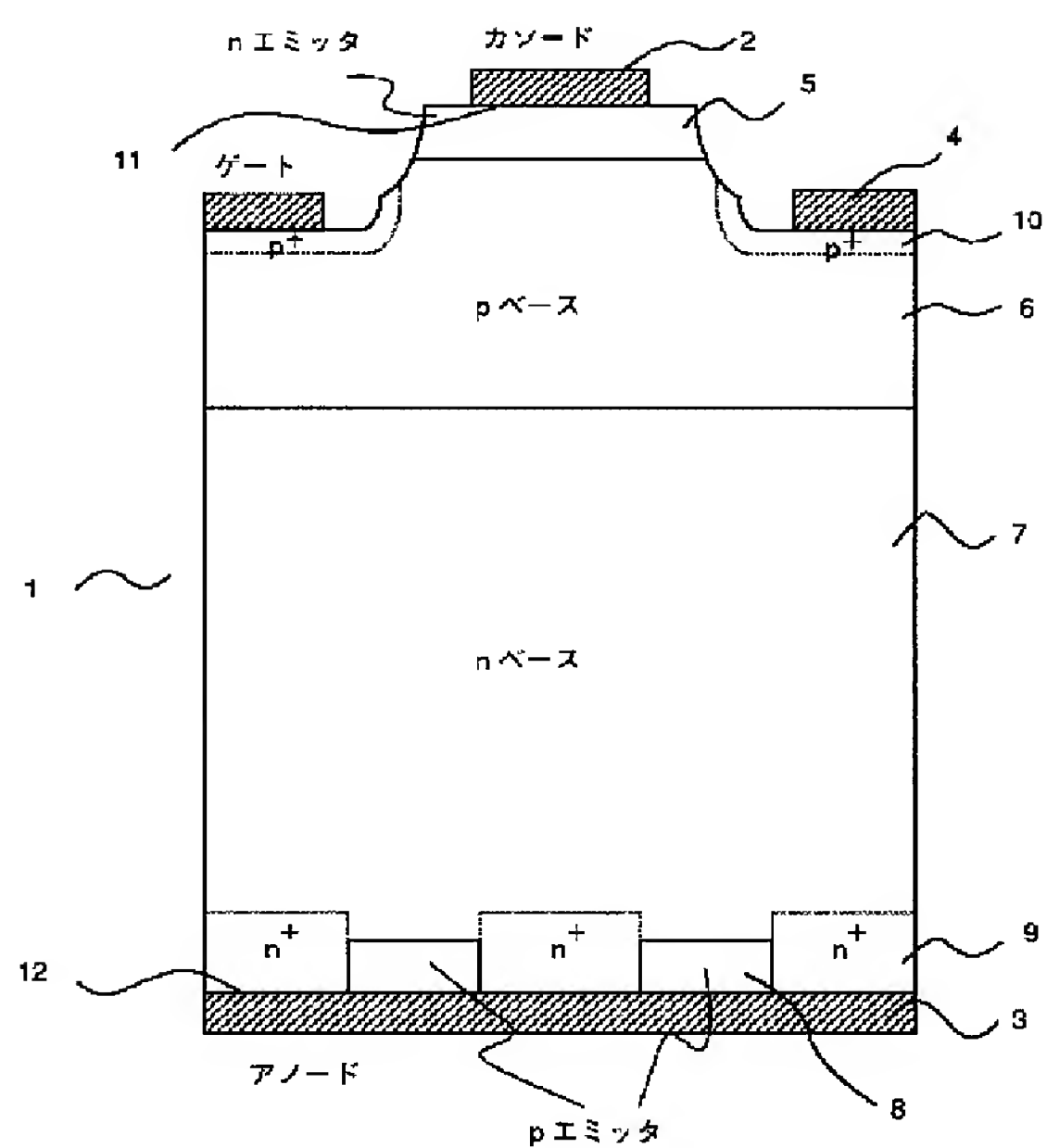
【图2】

图 2



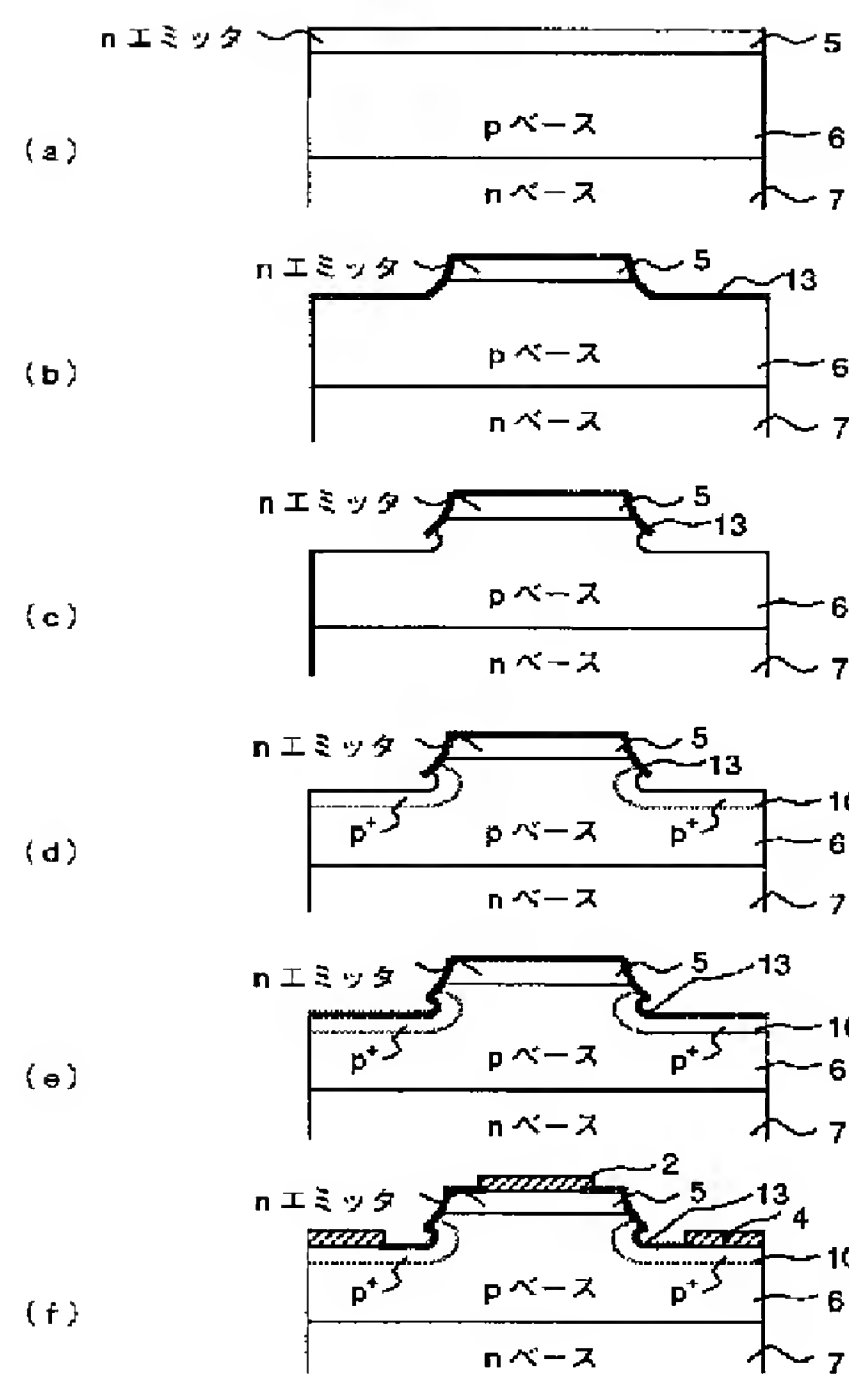
【図3】

3



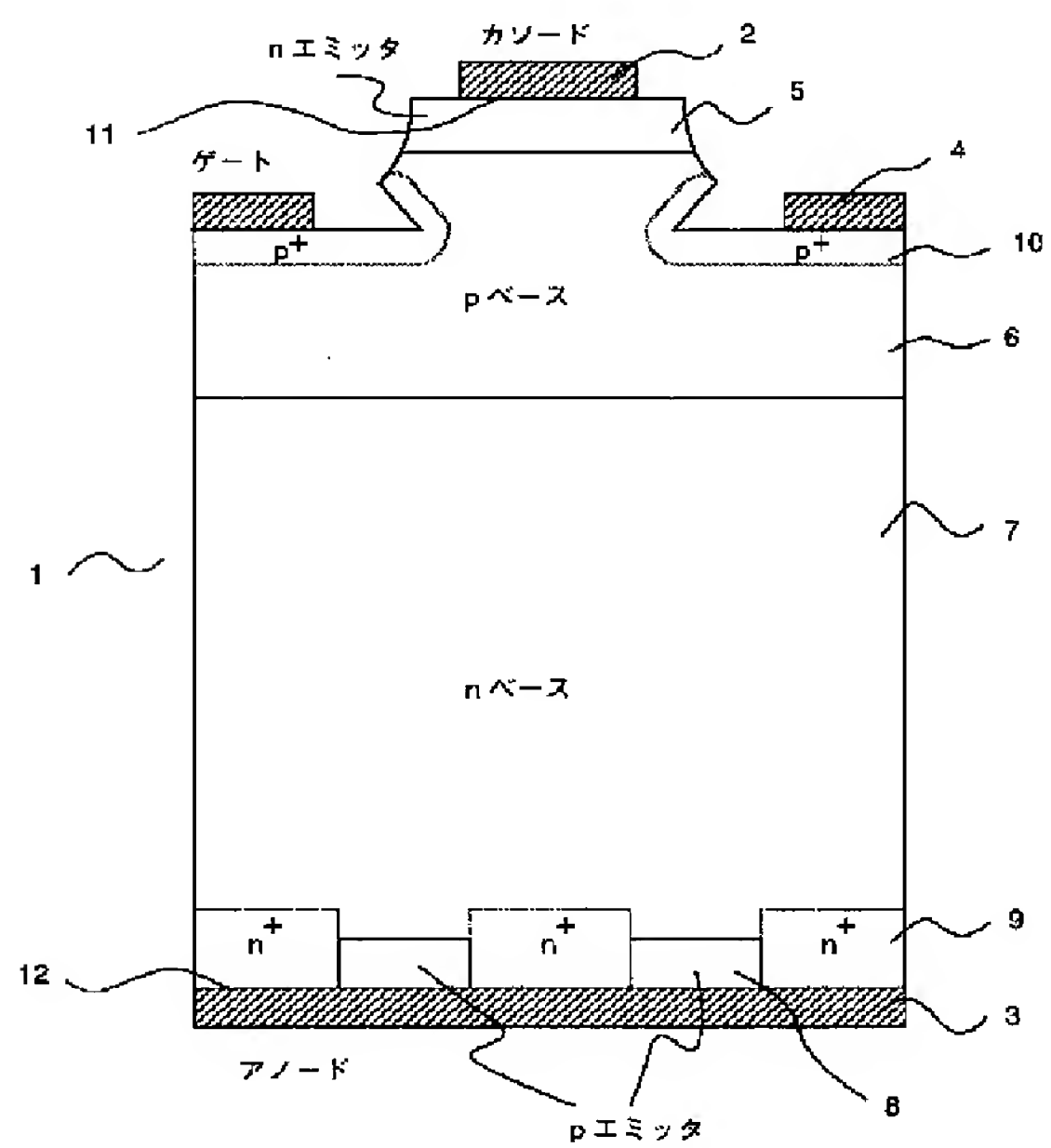
【図4】

4



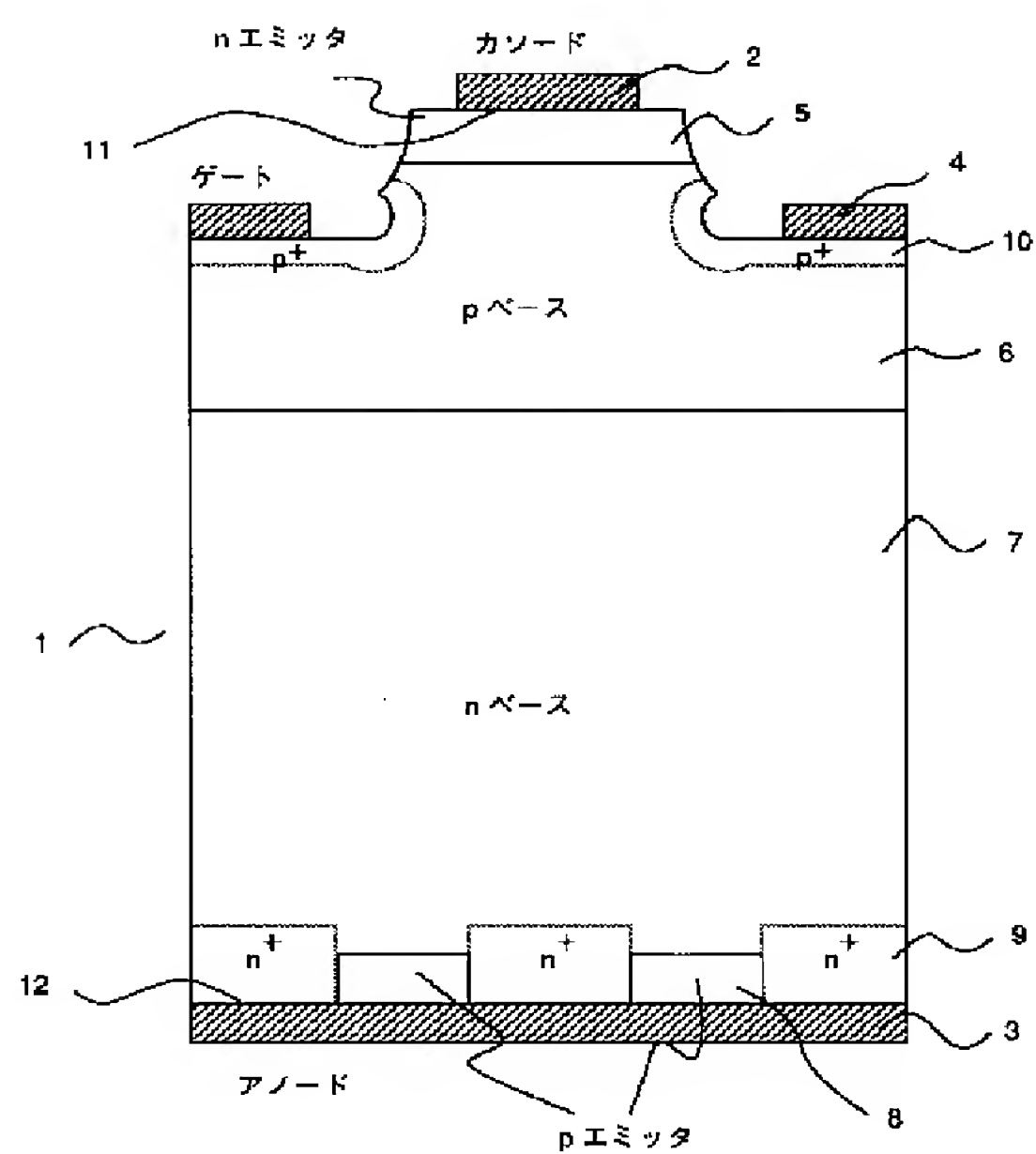
【图5】

5



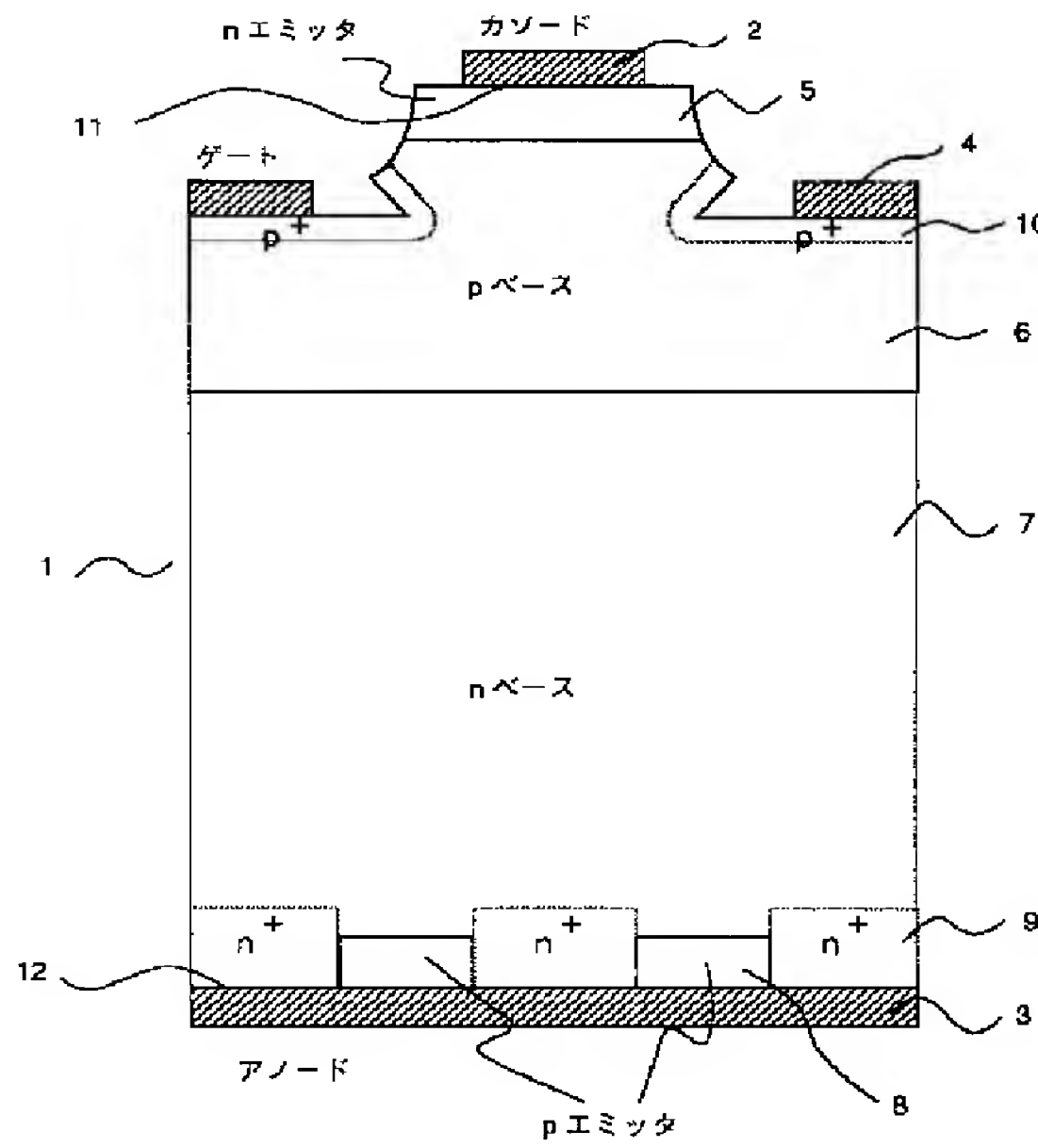
【図6】

图 6



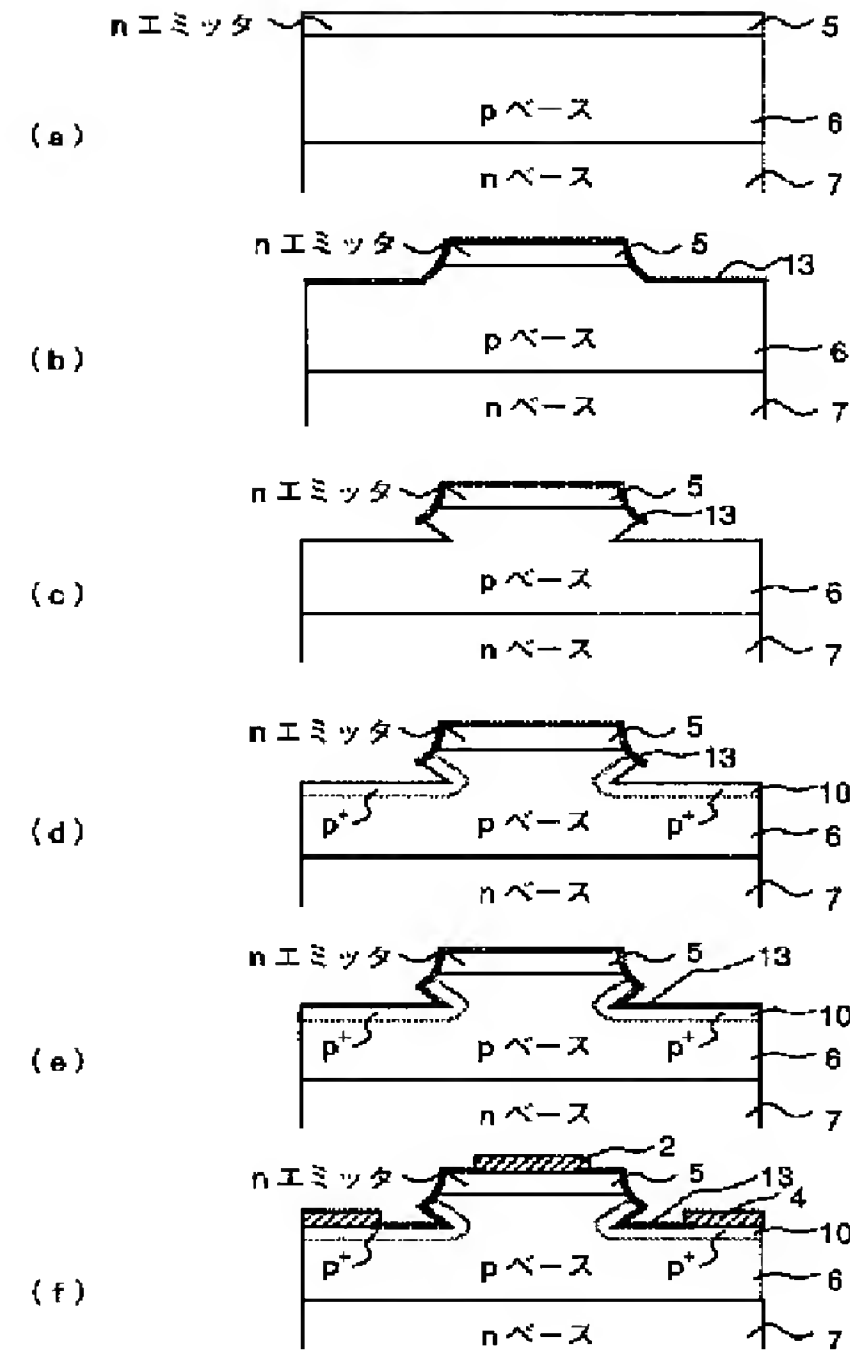
【図7】

図 7



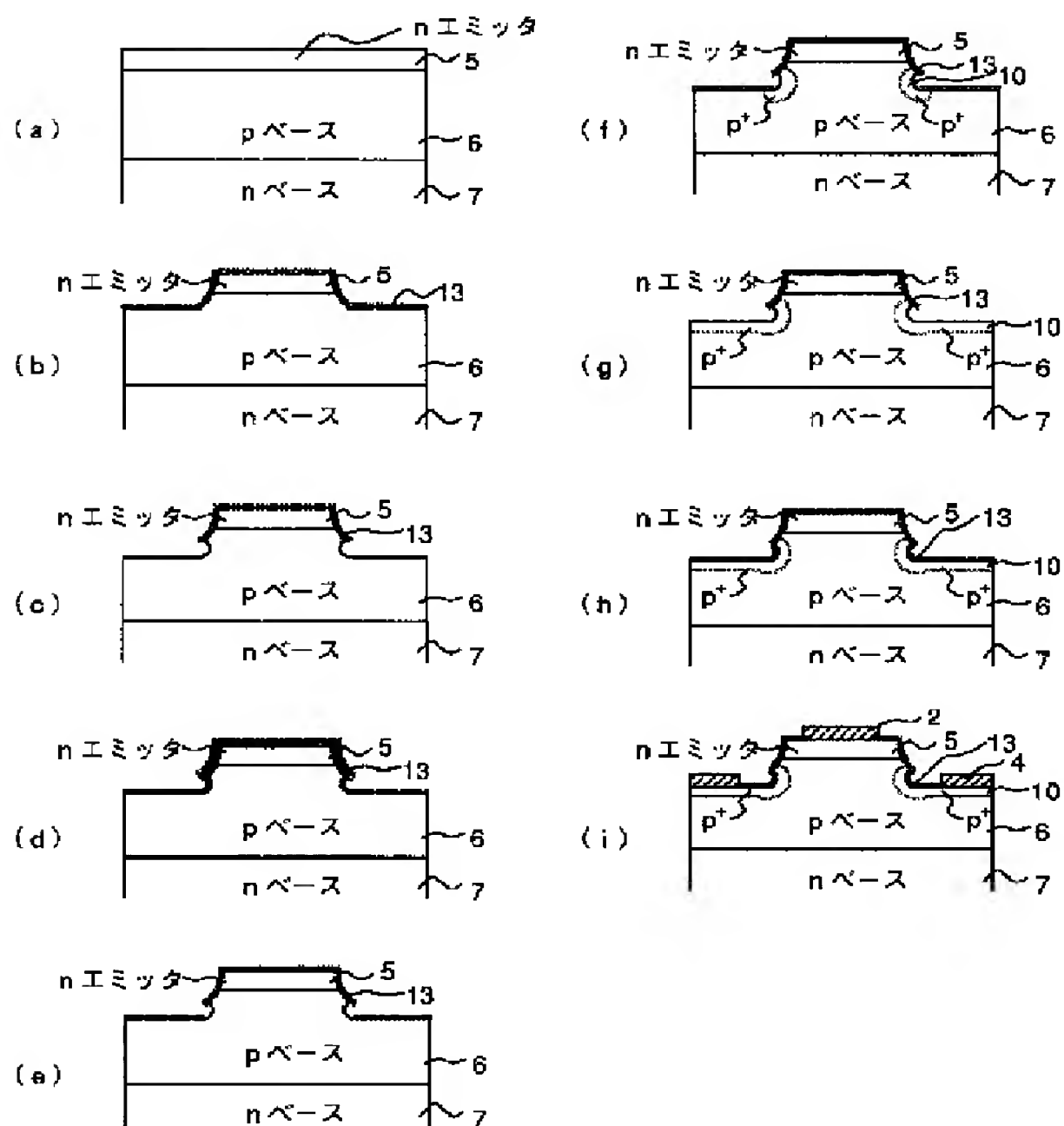
【図8】

図 8



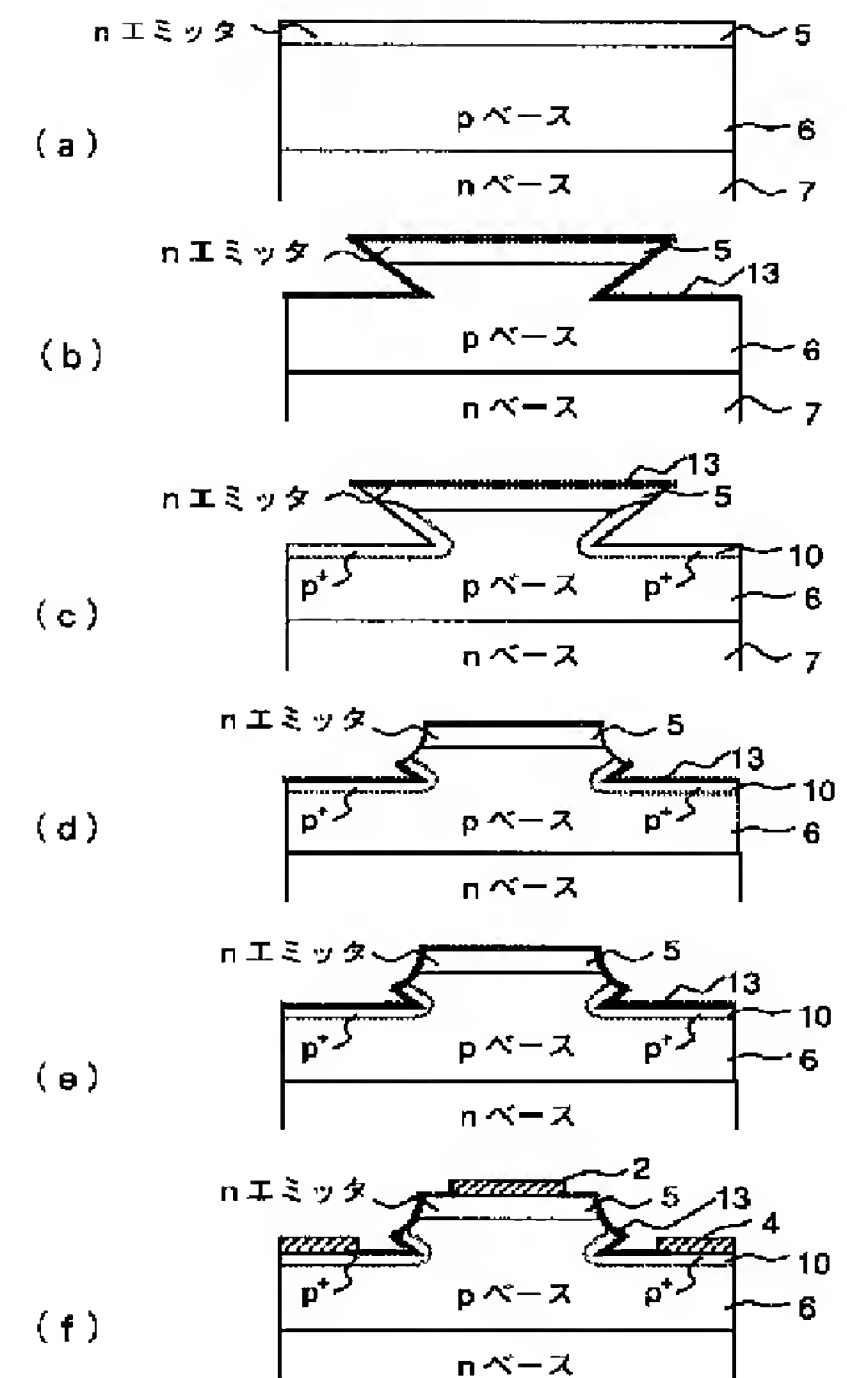
【図9】

図 9



【図10】

図 10



PAT-NO: JP408204169A
DOCUMENT-IDENTIFIER: JP 08204169 A
TITLE: GTO THYRISTOR AND ITS
MANUFACTURE
PUBN-DATE: August 9, 1996

INVENTOR-INFORMATION:

NAME	COUNTRY
MATSUURA, NOBUYOSHI	
SUGAWARA, YOSHITAKA	
ONOSE, HIDEKATSU	

ASSIGNEE-INFORMATION:

NAME	COUNTRY
HITACHI LTD	N/A

APPL-NO: JP07006934
APPL-DATE: January 20, 1995

INT-CL (IPC): H01L029/74 , H01L021/332

ABSTRACT:

PURPOSE: To obtain high cut-off capability, by forming parallel recessed parts in the bottom of a second stage trench formed from an N-emitter layer to an R-base layer of a gate turn-off thyristor, and forming heavily doped R+ layers on the surface of the R-base layer, along the second stage

trench.

CONSTITUTION: An N-emitter layer layer 5, an R-base layer 6, an N-base layer 7 and an R-emitter layer 8 are continuously formed between the main surfaces 11 and 12 of a semiconductor substratum 1 composed of silicon. The one main surface 11 is constituted as an uneven surface. On its protruding part, the strip type N-emitter layer 5 is exposed. On the recessed part, the R-base layer 6 is exposed. The R-emitter layer 8 is exposed on the other main surface 12, alternately with N⁺ regions 9. A cathode electrode 2, an anode electrode 3 and a gate electrode 4 are formed by an Al evaporation method. Two-stage trenches are formed from the emitter layer 5 to the R-base layer 6. Heavily doped R⁺ layers 10 are formed along the second trenches. Thereby cut-off capability can be improved without deteriorating the breakdown voltage between the cathode and the gate.

COPYRIGHT: (C)1996,JPO